

1. Un sistema tiene un caché L1 de datos con las siguientes características:

Memoria cache de asociativo a línea (no sets) de 4 vías y 32 KiB de tamaño. Line Size = 32 bytes, Address Bus Size: 40 Bits.

Determinar los siguientes parámetros del Directorio Cache (Cada respuesta es una cantidad. Se pide justificar cada respuesta):

- a) Tag Size
 - b) # Sets
 - c) Formato de una entrada del Directorio Cache.
 - d) # Total de Entradas del directorio cache
 - e) # Líneas por tag
2. Se tiene un sistema SMP. Cada procesador tiene su propio controlador Cache. Utiliza para mantener coherente los sub sistemas de memoria cache y la DRAM el protocolo MESI
- a) ¿Cuál es el recurso de hardware mediante el cual cada Controlador Cache detecta las transacciones que los demás Cores cursan con la memoria del sistema (DRAM)? Indicar el nombre del recurso, y a que líneas del bus se conecta.
 - b) Explicar si M es un estado preciso o impreciso. Justificar
 - c) En caso que otro procesador inicie una transferencia de lectura sobre un dato que pertenece a una línea, cuyo estado es M, se desea saber:
 - 1) ¿Están coherentes las diferentes copias del dato requerido?. Justificar.
 - 2) ¿Cómo se asegura la coherencia de la operación?. Justificar. Detallar el handshake de hardware describiendo las líneas involucradas si corresponde.
 - 3) ¿Cuál es la política de escritura aplicada por el procesador antes de la transacción analizada y después de la misma?
3. Represente el siguiente código ubicando los valores apropiados de TAG VALUE y V en cada elemento del modelo de Tomasulo que se representa a continuación.
- Condiciones iniciales: Rx=0x4FF09E1C, (Rx)=28.56, Ry=0x3ECA0098, (Ry)=95.192, F0=128.33, F2=90.00, F4=0.0, F6=100.00, F8=200.00



Loop: LD F4,(Rx)
10: MULTD F2,F0,F2
11: DIVD F8,F4,F2
12: LD F4,(Ry)
13: ADDD F6,F0,F4
14: SUBD F8,F8,F6
15: SD F8,(Ry)3

Register Alias Table

Tag	Valor	Válido
R0		0
R1		0
R2		0
R3		0
R4		0
R5		0
R6		0
R7		0
R8		0
R9		0
R10		0
R11		0
R12		0
R13		0
R14		0
R15		0

